

104 年公務人員高等考試三級考試試題

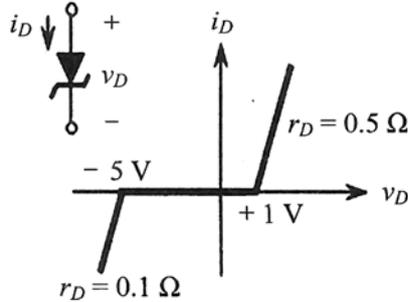
類科：電力工程、電子工程

科目：電子學

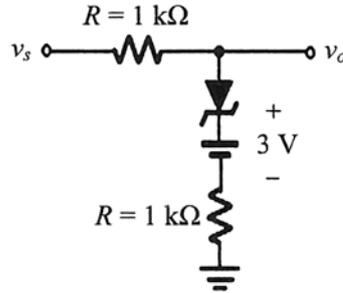
一、齊納二極體(Aenerdiode)之特性如圖一(a)。

(一)使用理想二極體，畫出此齊納二極體之等效電路。

(二)畫出圖一(b)電路 V_0 與 V_S 之轉換特性曲線(transfercharacteristic)。標示所有轉折點與線段斜率。



圖一(a)



圖一(b)

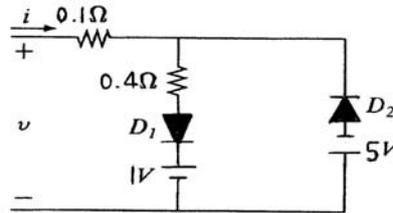
【擬答】：

(一)1. 當 $v \leq -5V$ 時： $D_1 - OFF; D_2 - ON \Rightarrow v = i \times 0.1 - 5$

2. 當 $-5 < v < 1V \Rightarrow D_1 - OFF; D_2 - OFF \Rightarrow i = 0$

3. 當 $v \geq 1V$ 時： $D_1 - ON; D_2 - OFF \Rightarrow v = i \times 0.5 + 1$

等效電路如下圖所示：



(二)如下之分析：

1. 當 v_s 為正電壓使得 ZenerD 產生順偏時：

$$v_o = 1 + (v_s - 1) \times \frac{1000.5}{2000.5} = 0.50012v_s + 0.4999$$

在 $v_o = v_s$ 時，則

$$v_o = v_s = 1.00004V$$

2. 當 v_s 為負電壓使得 ZenerD 產生逆偏而崩潰時：

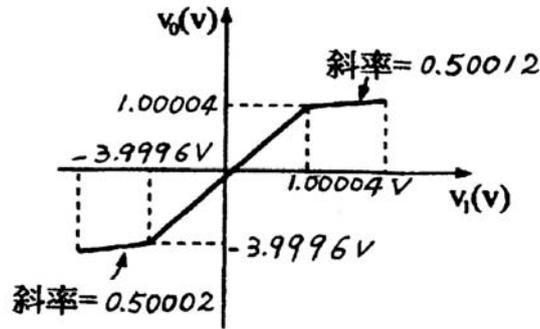
$$v_o = -5 + (v_s + 5) \times \frac{1000.1}{2000.1} = 0.50002v_s - 2.4999$$

在 $v_o = v_s$ 時，則

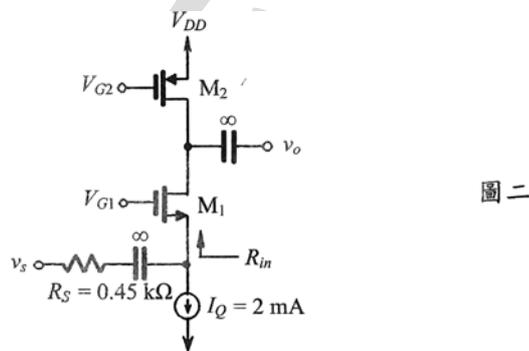
$$v_o = v_s = -3.9996V$$

3. 當 v_s 使得 ZenerD 截止時：此時 $v_o = v_s$

轉換特性曲線如下：



二、圖二電路中電晶體臨界電壓(threshold voltage) $V_m(NMOS) = |V_{tp}|(PMOS) = 1V$ ，製程參數 $k_n'(W/L) = 2k_p'(W/L) = 1mA/V^2$ ， $I_Q = 2mA$ ， $V_{G1} = 5V$ ， V_{DD} 、 V_{G2} 為適當之直流電壓，爾立電壓(Earlyvoltage)均為 $9V$ ，忽略基底效應(bodyeffect)。求算輸入電阻 R_{in} (不含 R_S) 與增益 $A_v = v_o/v_s$ 。



圖二

【擬答】：

本題基底效應不計

$$(-) I_{D1} = I_{D2} = I_Q = 2mA$$

$$g_{m1} = 2 \times \sqrt{\frac{1}{2} \times 1m \times 2m} = 2mA/V$$

$$r_{o1} = r_{o2} = \frac{V_A}{I_Q} = \frac{9}{2m} = 4.5k\Omega$$

則

$$v_i + g_{m1}v_i = i_i \times (r_{o1} + r_{o2}) \Rightarrow R_i = \frac{v_i}{i_i} = \frac{r_{o1} + r_{o2}}{1 + g_{m1}r_{o1}} = \frac{9k}{1 + 2m \times 4.5k} = 0.9k\Omega$$

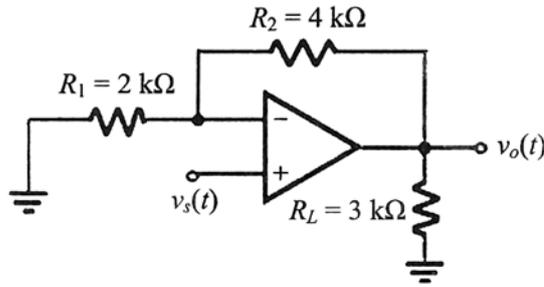
若包含基底效應，則輸入電阻應為

$$R_i = \frac{v_i}{i_i} = \frac{r_{o1} + r_{o2}}{1 + (1 + \chi)g_{m1}r_{o1}}$$

(二)電壓增益

$$A_v = \frac{v_o}{v_s} = \frac{i \times r_{o2}}{i \times (0.45k + R_{in})} = \frac{4.5k}{1.35k} = 3.33$$

三、圖三電路之放大器的開路電壓增益為 $A = 54V/V$ ，輸入阻抗 $R_{in} = \infty$ ，輸出阻抗 $R_0 = 2k\Omega$ ，求算電路電壓增益， $A_v = v_o/v_s$ 。



圖三

【擬答】：

$$(-) v_- = v_o \times \frac{2k}{2k+4k} = \frac{1}{3}v_o \text{-----(1)式}$$

$$(-) \frac{54 \times (v_s - v_-) - v_o}{2k} = \frac{v_o}{6k} + \frac{v_o}{3k} = \frac{v_o}{2k} \text{-----(2)式}$$

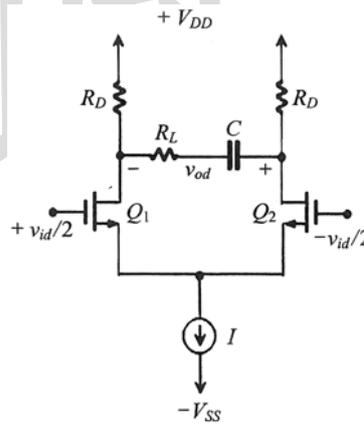
將(1)式代入(2)式，則

$$54 \times \left(v_s - \frac{1}{3}v_o \right) - v_o = v_o \Rightarrow 54v_s - 18v_o - v_o = v_o \Rightarrow \frac{v_o}{v_s} = 2.7$$

四、圖四中兩電晶體完全匹配，其小信號參數為 $r_0 = 10k\Omega$ 以及 $g_m = 4mA/V$ ， $R_L = R_D = 10k\Omega$ ， $C = 100pF$ ，不計寄生雜散電容與基體效應(body effect)。

(一)以對稱半電路分析，求算低頻之小信號增益 $A_v = v_{od} / v_{id}$ 。

(二)增益頻率函數中之極點與零點所對應的時間常數為何？



圖四

【擬答】：

(一)以對稱半電路分析：

$$v_{od} = \left(\frac{v_{id}}{2} \right) \times 4m \times [10k // 10k + 10k // 10k] // 10k = 10v_{id}$$

$$\therefore A_v = \frac{v_{od}}{v_{id}} = 10$$

(二)先求出增益頻率函數，表示如下式：

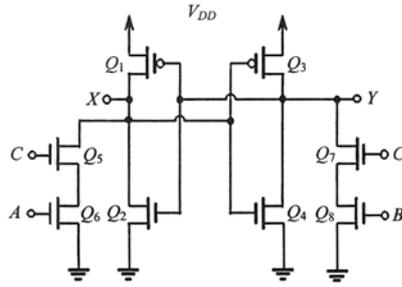
$$v_{od} = \left(\frac{v_{id}}{2} \right) \times 4m \times \left[10k // \left(10k + \frac{1}{sC} \right) \right] \Rightarrow A_v = \frac{v_{od}}{v_{id}} = 2m \times \frac{10k \times \left[10k + \frac{1}{sC} \right]}{20k + \frac{1}{sC}}$$

$$\Rightarrow A_v = \frac{v_{od}}{v_{id}} = 20 \times \frac{1 + [10k \times 100p]s}{1 + [20k \times 100p]s}$$

1. 極點所對應的時間常數為 $\tau = 20k \times 100p = 2\mu s$

2. 零點所對應的時間常數為 $\tau = 10k \times 100p = 1\mu s$

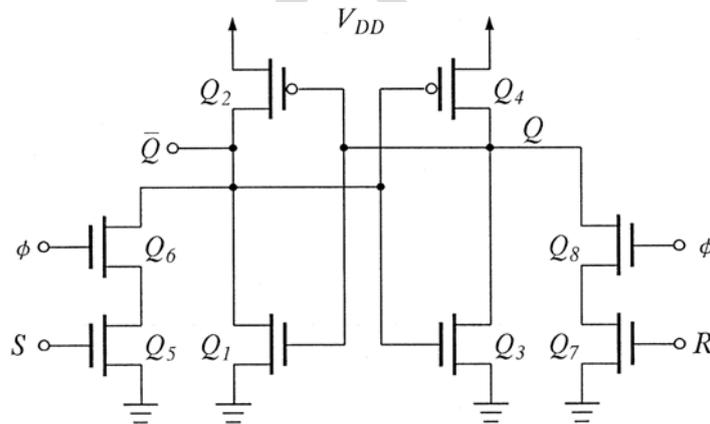
五、圖五 CMOS 數位電路中，C 為時脈(clock)，輸入信號 A 與 B，輸出信號 X 與 Y。依 C=0 與 1 情況，分析此電路並建立 X、Y 與 A、B 關係之真值表。



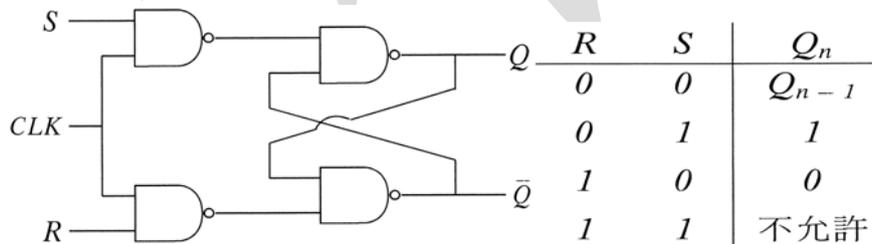
圖五

【擬答】：

此電路稱為時脈控制的 CMOS SR 正反器電路(clocked SR Flip-Flop)，老師重繪如下：



其中 $R=B$ ； $S=A$ ， $C=\phi$ ，等效邏輯圖形如下：



分析如下：

Q_1 與 Q_2 為 CMOS 反相器； Q_3 與 Q_4 亦為 CMOS 反相器

(一) $\phi=1$ 時：

1. $S=1, R=0$ ：因為 Q_5 與 Q_6 同時導通，則 $Q_{n+1}=1$ ，且因 Q_7 截止，則 Q_7 與 Q_8

的輸出不會影響 Q_{n+1} ，此時 $\overline{Q_{n+1}}=0$ 。

2. $S=0, R=1$ ：因為 Q_7 與 Q_8 同時導通，則 $Q_{n+1}=0$ ， $\overline{Q_{n+1}}=1$ ，且因 Q_5 截止，

則 Q_5 與 Q_6 的輸出不會影響 $\overline{Q_{n+1}}=1$ 。

3. $S=0, R=0$ ：因 Q_5 與 Q_7 同時截止，則 Q_5 與 Q_6 的輸出不會影響 $\overline{Q_{n+1}}$ ，且 Q_7

與 Q_8 的輸出也不會影響 Q_{n+1} ，因此維持之前之狀態，即

$$Q_{n+1} = Q_n ; \overline{Q_{n+1}} = \overline{Q_n}。$$

公職王歷屆試題 (104 高普考)

4. $S=1, R=1$: 因 Q_5 與 Q_7 同時導通, 則 Q_5 與 Q_6 的輸出使得 $\overline{Q_{n+1}}=0$, 且 Q_7

與 Q_8 的輸出使得 $Q_{n+1}=0$, 顯然不符合正反器功能。

(二) $\phi=0$ 時: 則 Q_5 與 Q_6 的輸出不會影響 $\overline{Q_{n+1}}$, 且 Q_7 與 Q_8 的輸出也不會影響 Q_{n+1} , 因此維持之前之狀態, 即使加入 S, R 之值皆無法改變。

FET 元件構成的數位邏輯閘電路, 每年出題機率頗高, 同學務必要能自行繪出與分析。

公
職
王