

106 年公務人員高等考試三級考試試題

類 科：電子工程

科 目：半導體工程

一、請說明影響半導體移動率 (Mobility) 的兩種主要機制，並說明這兩種機制對半導體的溫度效應。(10 分)

【擬答】

散射的機制，最重要的兩個機制

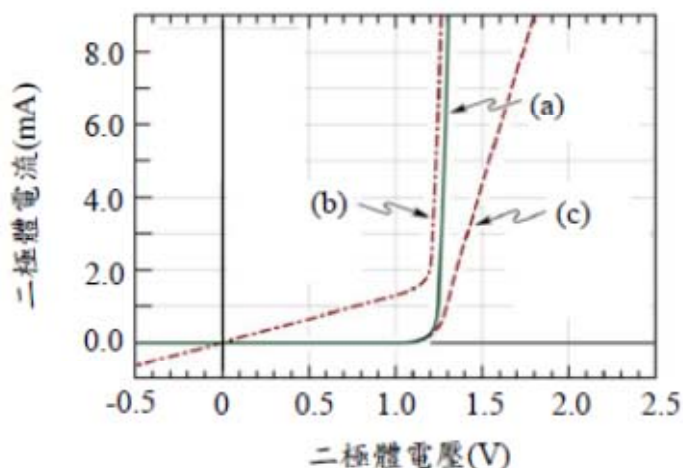
1. 晶格散射(Lattice scattering)

當溫度高於絕對零度時，原子會有熱能，使得原子在原有的晶格位置上做隨機的振動，晶格原子的熱振動會使得能量在載子與晶格間轉移，隨著溫度的上升，高溫下晶格散射較為明顯，故移動率隨著溫度的上升而下降，通常 $\mu_L \propto T^{-3/2}$

2. 雜質散射(Impurity scattering)：

為帶電載子行經游離的摻雜雜質所引起，雜質在室溫下是游離的，由於庫倫力的交互作用，路徑受到偏移，但在較高溫度下，載子移動加速，在雜質原子附近所停留的時間較短，因此有效之散射減少，通常 $\mu_i \propto T^{3/2}$

二、二極體 (Diode) 的理想順偏電流對電壓 (I-V) 特性為下圖中的曲線(a)。若有兩顆二極體分別具有下圖中順偏電流對電壓曲線(b)和(c)，請說明這兩顆二極體分別具有什麼特性？(10 分)



【擬答】

pn 接面下順偏總電流密度為理想擴散電流密度與復合電流密度的總和 $J = J_D + J_{rec}$ ，其值為

$$J_D = J_s \exp\left(\frac{qV_a}{kT}\right)$$

$$J_{rec} = \frac{qWn_i}{2\tau} \exp\left(\frac{qV_a}{2kT}\right) = J_{ro} \exp\left(\frac{qV_a}{2kT}\right)$$

上述式子取自然對數後為

$$\ln J_D = \ln J_s + \frac{V_a}{V_T}$$

$$\ln J_{rec} = \ln J_{ro} + \frac{V_a}{2V_T}$$

(一)圖⑥

1. 低電流密度時，電流是由復合電流控制， $n=2$ ；高電流密度時，電流是由理想的擴散電流控

制， $n=1$ 。

2. 如此二極體電流與電壓之關係為 $I = I_s \left[\exp\left(\frac{qV}{nkT}\right) - 1 \right]$

(二)圖(c)

1. 在低順向偏壓時，電子與電洞被注入且通過空間電荷區，形成復合電流，顯然復合電流極小。
2. 圖(c)在高階注入時，過量少數載子濃度增加，與多數載子相比已不可不計，原本公式

$$n \times p = n_i^2 \exp\left(\frac{V_a}{V_T}\right)$$

若 $\Delta n \gg n$ ， $\Delta p \gg p$ ， $\Delta n = \Delta p$ ，則 $\Delta n = \Delta p \approx n_i \exp\left(\frac{V_a}{2V_T}\right)$

因此產生高階注入效應。

三、對於雙極性電晶體而言，何謂「貫穿效應 (Punch Through Effect)」？它會對電晶體造成什麼影響？(10 分)

【擬答】

- (一)當電晶體操作於主動區時，B-C 外加逆偏電壓，一旦 B-C 之逆向偏壓愈大時，空乏區之寬度亦增加，導致基極有效寬度減少，一旦有效寬度降為 0 時，會造成 BJT 之貫穿崩潰(Punch Through)。
- (二)一旦少數載子濃度梯度增加，會造成擴散電流變大，此時電晶體自然就燒毀了，因此設計時基極寬度不可太小。

四、雙極性電晶體工作在高集極電流 (I_C) 下，請說明此電晶體在什麼情況下會出現科克效應

(Kirk Effect) 與準飽和效應 (Quasi-Saturation)？(10 分)

【擬答】

- (一)當電晶體操作於工作區時，B-C 之間為逆偏固定，若是 B-E 之間偏壓增加，則產生的集極電流密度超過臨界值，因此少數自由載子會在準中性基極區與主要載子產生中和(Neutralized)，產生的電荷變化會反映於空間電荷區的寬度以維持 B-C 之間為逆偏固定，所以空間電荷區趨向變窄，使得準中性趨寬度變寬，稱為科克效應。
- (二)這種延遲引起了準飽和 (Quasi-saturation) 效應，使集極/發射極電壓不能立即下降到其 $V_{CE(sat)}$ 值，是造成嚴重飽和電流退化之主因。

五、請分別說明下列 n-型通道元件的臨界電壓 (Threshold Voltage, V_{th}) 之定義，並說明其臨界電壓為正值或負值：1 空乏型場效電晶體(Depletion-Type Field-Effect Transistor)。2 加強型場效電晶體(Enhancement-Type Field-Effect Transistor)。3 高電子遷移率場效電晶體(High-Electron-Mobility Transistor, HEMT)。(15分)

【擬答】

臨界電壓 (Threshold Voltage, V_{th}) 之定義為達到臨界反轉值所施加的閘極電壓，對 N 型半導體而言為表面電位到達 $\phi_s = 2\phi_{fn}$ 時。

(一)加強型場效電晶體：先天沒有植入通道

對 P 型基板而產生的反轉 N 通道 MOSFET 而言， V_{th} 為正值，如此在 MOS 電容結構中能帶方可向下彎曲，使得接面處產生反轉層，因而產生 N 通道。

(二)空乏型場效電晶體：已先植入通道

公職王歷屆試題 (106 高考)

對於P型基板而產生的反轉N通道空乏MOSFET元件而言， $V_{th} < 0$ ，表示加上負的閘極電壓才能製造反轉電荷為0。

(三)電子遷移率場效電晶體(HEMT)

HEMT的 V_{th} 之值為 $V_{th} = \phi_B - \Delta E_C / q - dP_{total} / \epsilon$ ，且因已有二維電子氣，透過 ϕ_B 與 $\Delta E_C / q$ 可調控 V_{th} 的正值與負值。

六、對於金屬-氧化層-半導體的場效電晶體 (Metal-Oxide-Semiconductor Field-Effect Transistor) 而言，何謂「氧化層充電 (Oxide Charging)」？它對長通道與短通道的場效電晶體分別會造成什麼影響？(15 分)

【擬答】

(一)當氧化層品質不完美時，內部將會產生四種電荷

A 移動離子電荷 Q_m ：

指的是鹼金屬離子，在高溫的環境下，鹼金屬離子會在絕緣層中來回移動，造成穩定度的問題。

B 界面陷阱電荷 Q_{it} (interface trap charge)：存在接面的能隙中。

與界面處的化學成份有關，尤其在氧化過程中，表面上產生懸浮鍵(Dangling Bond)，這些電荷處於矽的禁帶中，造成C-V曲線的扭曲，因此一開始在晶圓方向的選擇上，方向(100)的 Q_{it} 就比方向(111)少一個數量級，至於成長結束後，建議以含氫的低溫450°C退火將 Q_{it} 加以護佈(passivation)。

C 固定氧化層電荷 Q_f (fixed oxide charge)：

位置約在界面處30埃中，此電荷永遠為正值且固定不變，一般是在氧化終止時與矽斷裂形成懸鍵，開始時也與方向有關，所以選用(100)晶圓，之後在退火過程中加入氫氣或是氮氣即可減少。

D 氧化層陷阱電荷 $Q_{Trapped}$ ：

在蝕刻與沉積過程中，由於處於具有能量的劑量下，產生電子電洞對，其中移動率大的電子被外加電場帶走，但仍有部分載子存留於氧化層中，此與製程技術有關，例如高能量的離子轟擊即會產生，因此後續仍需經過退火過程。一旦外加電壓，上述電荷就會產生充電效應，因而顯示出電性，對特性產生影響。

(二)

1. 長通道

通道長時，這些氧化層電荷充電效應下顯示的正極性使的臨界電壓向負方向移動，但因長通道，此效應不明顯。

2. 短通道

短通道下，臨界電壓向負方向移動的影響加劇，以至於n通道MOSFET元件往空乏模式移動。

七、什麼是準費米能階 (Quasi-Fermi Level)？它和費米能階 (Fermi Level) 有什麼不同？(10 分)

【擬答】

(一)在非平衡時，如照光或注入載子，導致價電帶與導電帶有不平衡的載子濃度，此時使用電子與電洞的準費米能階來表示非平衡下的載子濃度，表示式如下

$$n = n_i \exp \left[\frac{E_{Fn} - E_i}{kT} \right], \quad p = n_i \exp \left[\frac{E_i - E_{Fp}}{kT} \right]$$

(二)價電帶與傳導帶各自的不平衡，可以用電子與電洞的準費米能階不重疊表示，分別為 E_{Fn} 與 E_{Fp} ；當平衡時， E_{Fn} 與 E_{Fp} 都會收斂至 E_F 。

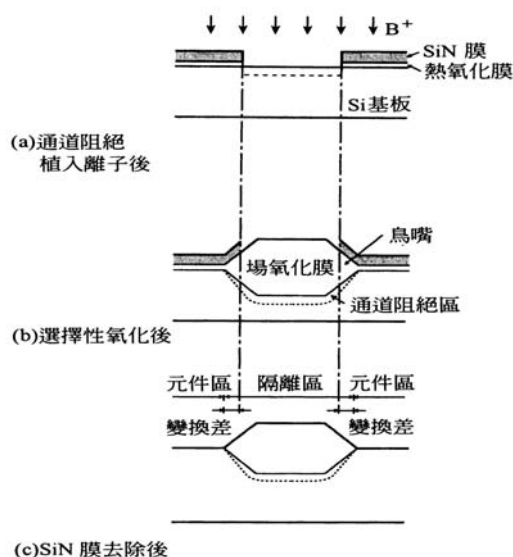
八、在積體電路製造技術中，採用的絕緣技術有局部氧化 (Local Oxidation of Silicon, LOCOS) 和淺溝槽絕緣 (Shallow Trench Isolation, STI) 請分別說明局部氧化與淺溝槽絕緣的製作技術、缺點與應用在那一種線寬製程？(20 分)

【擬答】

(一) LOCOS

使用 LOCOS(localized oxidation isolation method)技術形成氧化層隔離，主要是利用氧要經由氮化矽說明如下：

1. 在矽表面熱氧化形成約 20~60nm 的墊氧化層。
2. 利用 CVD 法沉積 100~200nm 的氮化矽膜，且氮化矽膜本身氧化速率很慢，因此在後續氧化中如同為一層障礙層(barrier layer)。
3. 藉由微影製程形成光阻圖案以形成主動層，再蝕刻氮化膜層與墊氧化膜層，分別使用乾蝕刻與濕蝕刻法。
4. 使用 nMOS 電路使用硼進行通道阻隔。
5. 去除光阻過後，藉由溫度約 1000°C，進行數小時的溼氧化，形成厚度 0.3~1.0 μm 的場氧化層。
6. 去除氮化膜層完成隔離工程。

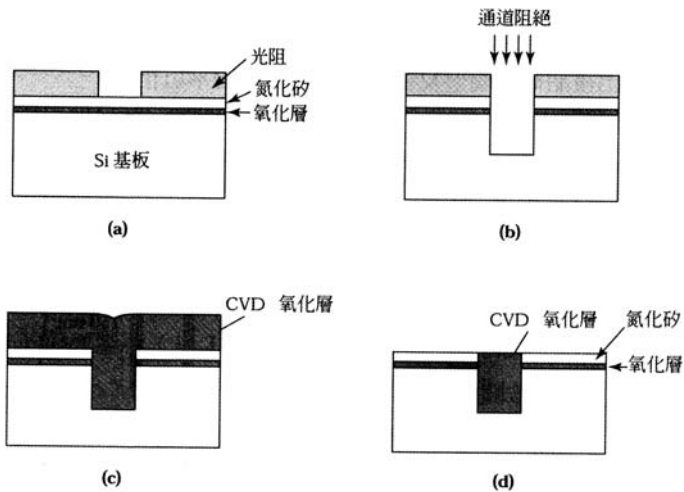


缺點：墊氧化層之作用在於緩和矽的選擇性氧化所發生的應力，墊氧化層愈厚，雖然防止缺陷發生的效果愈高，但太厚的話，選擇性氧化將進展成橫向之擴散，發生所謂鳥嘴(Bird's Beak)現象，因此元件隔離程度需預估此一變換差來形成光阻圖案，反而增加微影負擔，此亦決定集積度的重要關鍵。

應用：較不適合深次微米製程，在 0.1 μm 以上尚適用。

(二) 淺溝槽絕緣 shallow trench isolation (STI)

淺溝渠隔離技術(Shallow Trench Isolation)(深度小於 1 μm)，可改善 LOCOS 之缺點，如圖所示：



A 利用光阻定義出絕緣層之圖案。

B 乾式蝕刻與通道阻絕佈植。

C 以 CVD 方法沉積隔離材料以填充溝渠。

D 利用化學機械研磨法(CMP)去除位於氮化矽上之氧化層，以保持表面之平坦性。

優點：

1. 不需像 LOCOS 做長時間與高溫之製程。
2. 且可消除橫向氧化與硼侵入之問題，亦即沒有變換差之問題。
3. 在 ULSI 領域中是一個極受歡迎的技術。

缺點：埋入之氧化膜與基板之熱膨脹係數的差，造成基板受到應力，因此缺陷密度將增加，尤其以角落而言。